



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000165341 A**(43) Date of publication of application: **16.06.00**(54) **OFDM DEMODULATION CIRCUIT**

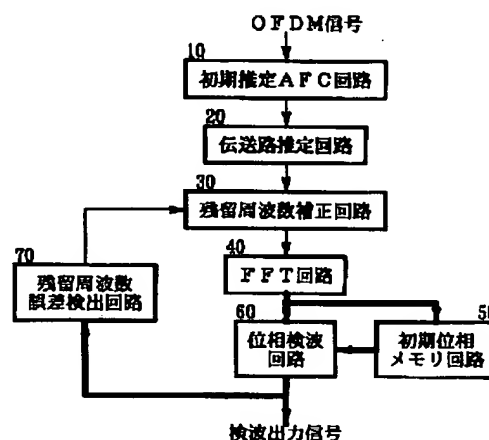
## (57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain a demodulation characteristics more excellent than that of delay detection by an OFDM demodulation circuit while keeping a high transmission efficiency equal to that in the case of the delay detection in the OFDM demodulation circuit.

**SOLUTION:** The OFDM demodulation circuit is provided with an initial estimate AFC circuit 10 that detects and corrects an initial frequency error from a preamble, a transmission line estimate circuit 20 that estimates an impulse response of a transmission line from the preamble, a residual frequency correction circuit 30 that corrects a received signal with a residual frequency error signal after the end of the preamble signal, an FFT circuit that applies S/P conversion to the received signal receiving residual frequency correction and then applies FFT to the converted signal, an initial phase memory circuit 50 that stores an initial phase of each subcarrier, a phase detection circuit 60 that detects the received signal outputted from the FFT circuit 40 at the initial phase of the initial phase memory circuit 50 for each subcarrier, and a residual frequency error detection circuit 70 that detects the residual frequency error from the phase

detection signal and obtains the residual frequency error signal.

COPYRIGHT: (C)2000,JPO



(51) Int. Cl

**H04J 11/00**(21) Application number: **10331361**(22) Date of filing: **20.11.98**(71) Applicant: **NIPPON TELEGR & TELEPH  
CORP <NTT>**(72) Inventor: **MUNEDA SATOSHI  
MATSUMOTO YOICHI  
MOCHIZUKI NOBUAKI  
UMEHIRA MASAHIRO**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-165341

(P2000-165341A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl.<sup>7</sup>

H 0 4 J 11/00

識別記号

F I

H 0 4 J 11/00

サーチコード<sup>\*</sup>(参考)

Z 5 K 0 2 2

審査請求 未請求 請求項の数10 O L (全 20 頁)

(21) 出願番号

特願平10-331361

(22) 出願日

平成10年11月20日 (1998.11.20)

(71) 出願人

000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者

宗田 悟志

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72) 発明者

松本 祥一

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(74) 代理人

100072718

弁理士 古谷 史旺

最終頁に続く

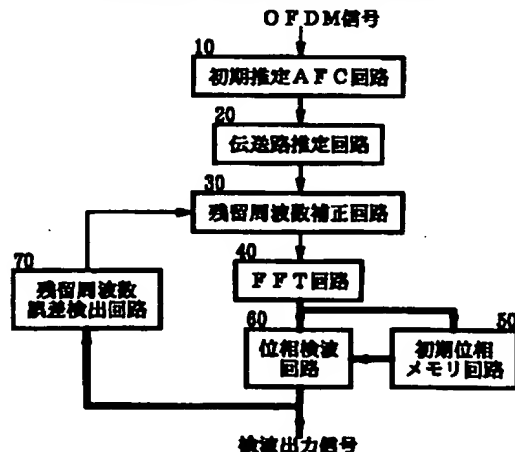
(54) 【発明の名称】 OFDM用復調回路

(57) 【要約】

【課題】 本発明はOFDM用復調回路において遅延検波を行う場合と同等の高い伝送効率を維持したまま遅延検波を行う場合よりも良好な復調特性を得ることを目的とする。

【解決手段】 プリアンブルから初期周波数誤差を検出し補正する初期推定AFC回路10とプリアンブルから伝送路のインパルスレスポンスを推定する伝送路推定回路20とプリアンブル信号の終了後受信信号を残留周波数誤差信号で補正する残留周波数補正回路30と残留周波数補正した受信信号をS/P変換した後でFFTするFFT回路40とサブキャリア毎の初期位相を記憶する初期位相メモリ回路50とFFT回路40が出力する受信信号を初期位相メモリ回路50の初期位相でサブキャリア毎に検波する位相検波回路60と位相検波信号から残留周波数誤差を検出し残留周波数誤差信号とする残留周波数誤差検出回路70とを設けた。

第1の実施の形態のOFDM用復調回路



## 【特許請求の範囲】

【請求項1】 所定の繰り返し時間の周期で同一の既知のプリアンブル信号が繰り返し現れる直交周波数多重信号を受信信号として入力し前記直交周波数多重信号の周波数誤差と初期位相を検出するOFDM用復調回路において、  
 前記直交周波数多重信号のバケット先頭に現れる前記プリアンブル信号から初期周波数誤差を検出し、検出した初期周波数誤差で受信信号を補正する初期推定AFC回路と、  
 前記初期推定AFC回路に接続され、バケット先頭の前記プリアンブル信号から伝送路のインパルスレスポンスを推定する伝送路推定回路と、  
 バケット先頭の前記プリアンブル信号の終了後、前記伝送路推定回路が出力する受信信号を残留周波数誤差信号で補正する残留周波数補正回路と、  
 前記残留周波数補正回路が補正した前記受信信号をシリアル-パラレル変換した後で高速フーリエ変換する高速フーリエ変換回路と、  
 前記高速フーリエ変換回路の出力に接続され、バケット先頭で推定された前記インパルスレスポンスを高速フーリエ変換して得られる直交周波数多重信号のサブキャリア毎の初期位相信号を記憶する初期位相メモリ回路と、  
 前記高速フーリエ変換回路が出力する受信信号を、前記初期位相メモリ回路に保持された初期位相信号を用いて受信信号のサブキャリア毎に検波する位相検波回路と、  
 前記位相検波回路の出力する信号に基づいて残留周波数誤差を検出し、その検出結果を前記残留周波数誤差信号として前記残留周波数補正回路に与える残留周波数誤差検出回路とを設けたことを特徴とするOFDM用復調回路。

【請求項2】 所定の繰り返し時間の周期で同一の既知のプリアンブル信号が繰り返し現れる直交周波数多重信号を受信信号として入力し前記直交周波数多重信号の周波数誤差と初期位相を検出するOFDM用復調回路において、  
 前記直交周波数多重信号のバケット先頭に現れる前記プリアンブル信号から初期周波数誤差を検出し、検出した初期周波数誤差で受信信号を補正する初期推定AFC回路と、  
 前記初期推定AFC回路に接続され、バケット先頭の前記プリアンブル信号から伝送路のインパルスレスポンスを推定する伝送路推定回路と、  
 前記伝送路推定回路が出力する受信信号をシリアル-パラレル変換した後で高速フーリエ変換する高速フーリエ変換回路と、  
 バケット先頭の前記プリアンブル信号の終了後、前記高速フーリエ変換回路が出力する受信信号をサブキャリア毎に残留周波数誤差信号で補正する残留周波数補正回路と、

前記残留周波数補正回路の出力に接続され、バケット先頭で推定された前記インパルスレスポンスを高速フーリエ変換して得られる直交周波数多重信号のサブキャリア毎の初期位相信号を記憶する初期位相メモリ回路と、  
 前記残留周波数補正回路が出力する受信信号を、前記初期位相メモリ回路に保持された初期位相信号を用いて受信信号のサブキャリア毎に検波する位相検波回路と、  
 前記位相検波回路の出力する信号に基づいて残留周波数誤差を検出し、その検出結果を前記残留周波数誤差信号として前記残留周波数補正回路に与える残留周波数誤差検出回路とを設けたことを特徴とするOFDM用復調回路。

【請求項3】 所定の繰り返し時間の周期で同一の既知のプリアンブル信号が繰り返し現れる直交周波数多重信号を受信信号として入力し前記直交周波数多重信号の周波数誤差と初期位相を検出するOFDM用復調回路において、  
 前記直交周波数多重信号のバケット先頭に現れる前記プリアンブル信号から初期周波数誤差を検出し、検出した初期周波数誤差で受信信号を補正する初期推定AFC回路と、  
 前記初期推定AFC回路で補正された受信信号を入力し、バケット先頭の前記プリアンブル信号に基づき、選択されたタップ数の伝送路のインパルスレスポンスを推定する伝送路推定回路と、  
 前記初期推定AFC回路の出力に接続され、前記プリアンブル信号から受信信号の伝送路における遅延プロファイルを推定する伝送路遅延推定回路と、  
 前記伝送路遅延推定回路に接続され、該伝送路遅延推定回路で推定された遅延プロファイルに基づいて、前記伝送路推定回路の伝送路推定に使用されるタップ数を決定するタップ選択回路と、  
 前記初期推定AFC回路が出力する受信信号を、前記伝送路遅延推定回路及び前記タップ選択回路の処理時間だけ遅延した信号を前記伝送路推定回路に与える遅延回路と、  
 バケット先頭の前記プリアンブル信号の終了後、前記伝送路推定回路が出力する受信信号を残留周波数誤差信号で補正する残留周波数補正回路と、  
 前記残留周波数補正回路が補正した前記受信信号をシリアル-パラレル変換した後で高速フーリエ変換する高速フーリエ変換回路と、  
 前記高速フーリエ変換回路の出力に接続され、バケット先頭で推定された前記インパルスレスポンスを高速フーリエ変換して得られる直交周波数多重信号のサブキャリア毎の初期位相信号を記憶する初期位相メモリ回路と、  
 前記高速フーリエ変換回路が出力する受信信号を、前記初期位相メモリ回路に保持された初期位相信号を用いて受信信号のサブキャリア毎に検波する位相検波回路と、  
 前記位相検波回路の出力する信号に基づいて残留周波数

誤差を検出し、その検出結果を前記残留周波数誤差信号として前記残留周波数補正回路に与える残留周波数誤差検出回路とを設けたことを特徴とするOFDM用復調回路。

【請求項4】 所定の繰り返し時間の周期で同一の既知のプリアンプル信号が繰り返し現れる直交周波数多重信号を受信信号として入力し前記直交周波数多重信号の周波数誤差と初期位相を検出するOFDM用復調回路において、

前記直交周波数多重信号のバケット先頭に現れる前記プリアンプル信号から初期周波数誤差を検出し、検出した初期周波数誤差で受信信号を補正する初期推定AFC回路と、

前記初期推定AFC回路で補正された受信信号を入力し、バケット先頭の前記プリアンプル信号に基づき、選択されたタップ数の伝送路のインパルスレスポンスを推定する伝送路推定回路と、

前記初期推定AFC回路の出力に接続され、前記プリアンプル信号から受信信号の伝送路における遅延プロファイルを推定する伝送路遅延推定回路と、

前記伝送路遅延推定回路に接続され、該伝送路遅延推定回路で推定された遅延プロファイルに基づいて、前記伝送路推定回路の伝送路推定に使用されるタップ数を決定するタップ選択回路と、

前記初期推定AFC回路が出力する受信信号を、前記伝送路遅延推定回路及び前記タップ選択回路の処理時間だけ遅延した信号を前記伝送路推定回路に与える遅延回路と、

前記伝送路推定回路が出力する受信信号をシリアル-パラレル変換した後で高速フーリエ変換する高速フーリエ変換回路と、

バケット先頭の前記プリアンプル信号の終了後、前記高速フーリエ変換回路が出力する受信信号をサブキャリア毎に残留周波数誤差信号で補正する残留周波数補正回路と、

前記残留周波数補正回路の出力に接続され、バケット先頭で推定された前記インパルスレスポンスを高速フーリエ変換して得られる直交周波数多重信号のサブキャリア毎の初期位相信号を記憶する初期位相メモリ回路と、

前記残留周波数補正回路が出力する受信信号を、前記初期位相メモリ回路に保持された初期位相信号を用いて受信信号のサブキャリア毎に検波する位相検波回路と、前記位相検波回路の出力する信号に基づいて残留周波数誤差を検出し、その検出結果を前記残留周波数誤差信号として前記残留周波数補正回路に与える残留周波数誤差検出回路とを設けたことを特徴とするOFDM用復調回路。

【請求項5】 請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、前記初期推定AFC回路を、

受信信号を1 OFDMシンボルの期間だけ遅延させる遅延回路と、

受信信号と前記遅延回路が遅延した受信信号との共役複素乗算により位相回転角を検出する位相回転角検出回路と、

前記位相回転角検出回路が出力する前記位相回転角の所定時間にわたる平均値を計算する平均回路と、

前記平均回路によって平均化された位相回転角から初期周波数誤差を計算する初期周波数誤差検出回路と、

10 前記初期周波数誤差検出回路が出力する初期周波数誤差を積算し、初期周波数誤差信号として出力する積算回路と、

前記初期周波数誤差信号が出力されるまで、前記受信信号を遅延させる受信信号遅延回路と、

前記受信信号遅延回路が出力する受信信号を前記積算回路が出力する初期周波数誤差信号で補正する初期周波数補正回路とで構成したことを特徴とするOFDM用復調回路。

【請求項6】 請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、前記伝送路推定回路のインパルスレスポンス推定にRLSアルゴリズムを用いるとともに、既知のプリアンプルに対するカルマンゲインベクトルをあらかじめ計算した結果を保持するROMを設け、更にRLSアルゴリズムで求めるインパルスレスポンスのタップ数を遅延波の最大遅延時間に定め、遅延波の最大遅延時間以降のインパルスレスポンスを0に定めたことを特徴とするOFDM用復調回路。

【請求項7】 請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、前記残留周波数誤差検出回路を、

入力信号をサブキャリア毎に遅延させる遅延回路と、

前記入力信号と前記遅延回路により遅延された入力信号との共役複素乗算により差分ベクトルを検出する差分ベクトル検出回路と、

前記差分ベクトル検出回路の出力する信号から変調成分を除去する変調成分除去回路と、

サブキャリア毎に前記変調成分除去回路の出力信号をベクトル加算して前記出力信号に含まれるノイズ成分を除去するベクトル加算回路と、

40 前記ベクトル加算回路の出力信号を位相情報に変換した後、前記位相情報に基づいて1クロックあたりの残留周波数誤差を計算する逆正接回路と、

前記逆正接回路が出力する残留周波数誤差を積算して残留周波数誤差信号を出力する積算回路とで構成したことを特徴とするOFDM用復調回路。

【請求項8】 請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、前記残留周波数誤差検出回路を、

50 入力信号をサブキャリア毎に遅延させる遅延回路と、

前記入力信号と前記遅延回路が遅延した信号との共役複素乗算により差分ベクトルを検出する差分ベクトル検出回路と、

前記差分ベクトル検出回路の出力する差分ベクトルから変調成分を除去する変調成分除去回路と、

サブキャリア毎に前記変調成分除去回路の出力信号を位相情報に変換し、位相誤差信号を出力する逆正接回路と、

前記逆正接回路及び前記初期位相メモリ回路に接続され、前記初期位相メモリ回路から出力される各サブキャリアの初期位相の電力を計算し、前記電力が閾値より大きいサブキャリアに対する位相誤差信号のみを平均した後、1クロックあたりの残留周波数誤差を計算する選択・平均回路と、

前記選択・平均回路が出力する残留周波数誤差を積算して残留周波数誤差信号を出力する積算回路とで構成したことを特徴とするOFDM用復調回路。

【請求項9】 請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、残留周波数誤差検出回路を、

入力信号から変調成分を除去する変調成分除去回路と、前記変調成分除去回路に接続され、サブキャリア毎に前記変調成分除去回路の出力信号をベクトル加算し、前記出力信号のノイズ成分を除去するベクトル加算回路と、前記ベクトル加算回路に接続され、前記ベクトル加算回路の出力信号を位相情報に変換した後、1クロックあたりの残留周波数誤差を計算する逆正接回路とで構成したことを特徴とするOFDM用復調回路。

【請求項10】 請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、残留周波数誤差検出回路を、

入力信号から変調成分を除去する変調成分除去回路と、前記変調成分除去回路に接続され、サブキャリア毎に前記変調成分除去回路の出力信号を位相情報に変換し、位相誤差信号を出力する逆正接回路と、

前記逆正接回路及び前記初期位相メモリ回路に接続され、前記初期位相メモリ回路から出力される各サブキャリアの初期位相の電力を計算し、前記電力が閾値より大きいサブキャリアに対する位相誤差信号のみを平均した後、1クロックあたりの残留周波数誤差を計算する選択・平均回路とで構成したことを特徴とするOFDM用復調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ディジタル無線通信で用いられる直交周波数多重（OFDM: Orthogonal Frequency Division Multiplexing）信号を処理するOFDM用復調回路に関し、特に周波数誤差の検出及び初期位相の検出に関する。

【0002】

【従来の技術】 この種のOFDM用復調回路の従来技術としては、例えば次に示す文献1、文献2及び文献3が知られている。

文献1：鬼沢、溝口、熊谷、高梨、守倉，“高速無線LAN用OFDM変調方式の同期系に関する検討”，信学技報，RCS97-210。

【0003】 文献2：T.M.Schmid and D.C.Cox，“Low-Overhead, Low-Complexity (Burst) Synchronization for OFDM”，ICC'96, pp.1301-1306。

10 文献3：V. Mignone and A. Morello，“CD3-OFDM: A Novel Demodulation Scheme for Fixed and Mobile Receivers”，IEEE Trans. Commun., pp.1144-1151, vol.44, No. 9, Sept(1996)。

【0004】 OFDM信号の復調には、同期検波及び遅延検波のいずれの検波方式も適用可能である。復調特性については、同期検波を用いる方が遅延検波に比べて優れている。しかし、遅延検波はキャリア周波数誤差のみを検出すればよいのに対して、同期検波はキャリア初期位相も検出しなければならない。そのため、同期検波を用いると伝送効率が劣化するという問題点がある。

【0005】 パケット形式でOFDM信号を送信する場合には、従来より図14又は図15に示すようなバーストフォーマットが用いられる。図14に示すバーストフォーマットにおいては、パケットの先頭（図14の左端側）で同一内容のプリアンブルPREが繰り返し現れる。プリアンブルPREに続いて、ガードインターバルGIとデータDATAとで構成されるOFDMシンボルが繰り返し現れる。

【0006】 前記文献1に示すように、繰り返し現れる同一のプリアンブルPREを参照することにより、受信したOFDM信号のキャリア周波数の誤差を検出できる。キャリア周波数の誤差を検出して補正する回路がAFC（自動周波数制御）回路である。図14に示すバーストフォーマットの信号を用いて繰り返し現れる同一のプリアンブルPREからキャリア周波数誤差を検出するAFC回路は、周波数誤差の推定時間が短いので伝送効率の点で有利である。

【0007】 従来例のOFDM用復調回路を図11に示す。図11において太線で示す信号は、サブキャリア数分のパラレル信号を表している。図11のOFDM用復調回路において、受信信号はAFC回路200で周波数誤差が補正された後、FFT（高速フーリエ変換）回路201で高速フーリエ変換される。OFDM信号は、互いに周波数の異なる複数のキャリア（搬送波）を時間領域で多重化した信号であり、フーリエ変換によって複数のキャリアの成分が周波数領域に変換されて並列信号として現れる。FFT回路201から出力される並列信号は、サブキャリア毎に遅延検波回路202で遅延検波される。

50 【0008】 AFC回路200は図12のように構成さ

れる。図12のAFC回路200において、位相回転角検出回路211は、受信信号とそれを遅延回路210で1 OFDM遅延した信号との複素共役乗算を実行して位相回転角を検出する。ここでは、図14に示すように2 OFDMシンボル連続して同一のプリアンブルPREが伝送されることを想定している。

【0009】平均回路212は、位相回転角検出回路211が検出した位相回転角の一定時間の平均を求める。これによって、雑音成分の影響が除去される。周波数誤差検出回路213は、平均化された位相回転角を1 OFDMシンボルの周期で除算する。周波数誤差検出回路213の出力には、所定のクロック信号の1周期あたりの位相回転角が得られる。積算回路214は、周波数誤差検出回路213が出力する位相回転角を積算して補正位相信号を生成する。

【0010】また、受信信号（入力信号）は補正位相信号が生成されるまで、受信信号遅延回路215で遅延される。受信信号遅延回路215によって遅延された受信信号は、周波数補正回路216において補正位相信号で補正される（文献1、文献2参照）。同期検波を用いる従来のOFDM用復調回路では、例えば図15に示すバーストフォーマットのOFDM信号を用いる。また、OFDM用復調回路は図13のように構成される。

【0011】図15において、プリアンブルPREは既知の信号であり、キャリア初期位相検出のために用いられる。プリアンブルPRE以降には、ガードインターバルGIおよびデータDATAで構成されるOFDMシンボルが繰り返し現れる（文献3参照）。図15に示すようなバーストフォーマットを用いて同期検波を行う場合には、パイロット信号を必要とせず、初期位相の検出時間が短いので有利である。

【0012】送信側では、例えばサブキャリア数6875、16 QAM変調、畳み込み符号化（符号化率=1/2, 3/4, 7/8: 拘束長=7）、インターリーブの条件で送信される。また、1 OFDMシンボル以内で復調を完了させるために、畳み込み符号化においては1 OFDMシンボル毎に6ビット長のテールビットを付加する。

【0013】図13に示すOFDM用復調回路において、受信信号（OFDM信号）はFFT回路201でフーリエ変換された後、位相検波回路220及び遅延回路229に投入される。フーリエ変換によって、サブキャリア毎に分離された受信信号がFFT回路201の出力に得られる。位相検波回路220は、サブキャリア毎に受信信号と位相信号との複素乗算を行って受信信号を検波する。検波された受信信号は、P/S（並列直列変換）回路221でシリアル信号に変換された後、デインターリーブ回路223を通して軟判定ビタビ（FEC-DEC）回路224に投入される。軟判定ビタビ回路224の出力に復調出力信号が得られる。

【0014】伝送路の推定に利用する疑似送信信号を生成するために、軟判定ビタビ回路224の出力に得られる復調出力信号は、送信機側と同様に畳み込み（FEC-COD）回路225、インターリーブ回路226及び変調（MOD）回路227を通り、S/P（直列並列変換）回路228を介して周波数領域伝送路推定回路230に印加される。

【0015】周波数領域伝送路推定回路230は、サブキャリア毎に受信信号を送信信号で除算する。これにより、サブキャリア毎のキャリアの位相が検出される。検出された位相は、周波数領域フィルタ回路232でノイズ成分を除去され、位相信号として位相検波回路220に印加される。また、パケット先頭でのキャリアの初期位相を検出するために、周波数領域伝送路推定回路230はサブキャリア毎に受信信号を既知のプリアンブルで除算する。既知のプリアンブルは初期位相メモリ231に保持されている。

【0016】位相検波回路220に印加される位相信号には雑音の影響による誤りが存在するが、強力な誤り訂正及びインターリーブをかけることにより、正確な復調信号が得られる。

【0017】

【発明が解決しようとする課題】従来のOFDM用復調回路に用いるAFC回路は、短時間で周波数誤差を検出することが可能であるが、オープンループ構成であるため補正後の信号に残留周波数誤差が存在する。この残留周波数誤差は、遅延検波の場合には問題にならないが、同期検波を行う場合には特性劣化の要因になる。

【0018】AFC回路による残留周波数誤差を補正するために、OFDM信号のデータ（DATA）の区間中においてもトラッキングを行う方法が知られている。しかし、トラッキングのためにデータ区間中にパイロット信号を挿入する必要があるため、パイロット信号によって伝送効率が劣化するという問題が生じる。また、従来の同期検波を行うOFDM用復調回路をサブキャリア数が48程度のOFDM信号に適用すると、1 OFDMシンボル毎に設けられるテールビットによって伝送効率の劣化が大きくなるという問題があった。

【0019】たとえば、8 PSK（符号化率=2/3, 拘束長=7）の場合、約10%の劣化になる。1 OFDMシンボル毎にテールビットを送信しなければこの劣化はなくなる。しかし、テールビットを送信しないと逆にプリアンブルが数OFDMシンボル必要になるため、伝送効率が劣化するという問題があった。本発明は、OFDM用復調回路において、遅延検波を行う場合と同等の高い伝送効率を維持したまま、遅延検波を行う場合よりも良好な復調特性を得ることを目的とする。

【0020】

【課題を解決するための手段】請求項1は、所定の繰り返し時間の周期で同一の既知のプリアンブル信号が繰り返

返し現れる直交周波数多重信号を受信信号として入力し前記直交周波数多重信号の周波数誤差と初期位相を検出するOFDM用復調回路において、前記直交周波数多重信号のパケット先頭に現れる前記プリアンブル信号から初期周波数誤差を検出し、検出した初期周波数誤差で受信信号を補正する初期推定AFC回路と、前記初期推定AFC回路に接続され、パケット先頭の前記プリアンブル信号から伝送路のインパルスレスポンスを推定する伝送路推定回路と、パケット先頭の前記プリアンブル信号の終了後、前記伝送路推定回路が出力する受信信号を残留周波数誤差信号で補正する残留周波数補正回路と、前記残留周波数補正回路が補正した前記受信信号をシリアル-パラレル変換した後で高速フーリエ変換する高速フーリエ変換回路と、前記高速フーリエ変換回路の出力に接続され、パケット先頭で推定された前記インパルスレスポンスを高速フーリエ変換して得られる直交周波数多重信号のサブキャリア毎の初期位相信号を記憶する初期位相メモリ回路と、前記高速フーリエ変換回路が出力する受信信号を、前記初期位相メモリ回路に保持された初期位相信号を用いて受信信号のサブキャリア毎に検波する位相検波回路と、前記位相検波回路の出力する信号に基づいて残留周波数誤差を検出し、その検出結果を前記残留周波数誤差信号として前記残留周波数補正回路に与える残留周波数誤差検出回路とを設けたことを特徴とする。

【0021】請求項1のOFDM用復調回路は、図10に示すようにパケット先頭で同一の既知のプリアンブル信号(PRE)が繰り返し現れるOFDM信号を受信することを想定している。このOFDM用復調回路は、プリアンブルを利用して初期周波数誤差検出及び初期位相検出を行う。そして、データ信号(DATA)を利用して残留周波数誤差をトラッキングし残留周波数誤差を補正する。従って、同期検波を行うことができ、良好な復調特性が得られる。

【0022】また、残留周波数誤差のトラッキングにはデータ信号を利用するので、パケット先頭に設けるプリアンブルPREは2OFDMシンボルの区間だけで十分である。つまり、同期のためにパケットに付加するビット数が少ないので、遅延検波を行う場合と同程度の伝送効率になる。請求項2は、所定の繰り返し時間の周期で同一の既知のプリアンブル信号が繰り返し現れる直交周波数多重信号を受信信号として入力し前記直交周波数多重信号の周波数誤差と初期位相を検出するOFDM用復調回路において、前記直交周波数多重信号のパケット先頭に現れる前記プリアンブル信号から初期周波数誤差を検出し、検出した初期周波数誤差で受信信号を補正する初期推定AFC回路と、前記初期推定AFC回路に接続され、パケット先頭の前記プリアンブル信号から伝送路のインパルスレスポンスを推定する伝送路推定回路と、前記伝送路推定回路が出力する受信信号をシリアル-パ

ラレル変換した後で高速フーリエ変換する高速フーリエ変換回路と、パケット先頭の前記プリアンブル信号の終了後、前記高速フーリエ変換回路が出力する受信信号をサブキャリア毎に残留周波数誤差信号で補正する残留周波数補正回路と、前記残留周波数補正回路の出力に接続され、パケット先頭で推定された前記インパルスレスポンスを高速フーリエ変換して得られる直交周波数多重信号のサブキャリア毎の初期位相信号を記憶する初期位相メモリ回路と、前記残留周波数補正回路が出力する受信信号を、前記初期位相メモリ回路に保持された初期位相信号を用いて受信信号のサブキャリア毎に検波する位相検波回路と、前記位相検波回路の出力する信号に基づいて残留周波数誤差を検出し、その検出結果を前記残留周波数誤差信号として前記残留周波数補正回路に与える残留周波数誤差検出回路とを設けたことを特徴とする。

【0023】請求項2のOFDM用復調回路は、図10に示すようにパケット先頭で同一の既知のプリアンブル信号(PRE)が繰り返し現れるOFDM信号を受信することを想定している。このOFDM用復調回路は、プリアンブルを利用して初期周波数誤差検出及び初期位相検出を行う。そして、データ信号(DATA)を利用して残留周波数誤差をトラッキングし残留周波数誤差を補正する。従って、同期検波を行うことができ、良好な復調特性が得られる。

【0024】また、残留周波数誤差のトラッキングにはデータ信号を利用するので、パケット先頭に設けるプリアンブルPREは2OFDMシンボルの区間だけで十分である。つまり、同期のためにパケットに付加するビット数が少ないので、遅延検波を行う場合と同程度の伝送効率になる。

【0025】請求項3は、所定の繰り返し時間の周期で同一の既知のプリアンブル信号が繰り返し現れる直交周波数多重信号を受信信号として入力し前記直交周波数多重信号の周波数誤差と初期位相を検出するOFDM用復調回路において、前記直交周波数多重信号のパケット先頭に現れる前記プリアンブル信号から初期周波数誤差を検出し、検出した初期周波数誤差で受信信号を補正する初期推定AFC回路と、前記初期推定AFC回路で補正された受信信号を入力し、パケット先頭の前記プリアンブル信号に基づき、選択されたタップ数の伝送路のインパルスレスポンスを推定する伝送路推定回路と、前記初期推定AFC回路の出力に接続され、前記プリアンブル信号から受信信号の伝送路における遅延プロファイル推定する伝送路遅延推定回路と、前記伝送路遅延推定回路に接続され、該伝送路遅延推定回路で推定された遅延プロファイルに基づいて、前記伝送路推定回路の伝送路推定に使用されるタップ数を決定するタップ選択回路と、前記初期推定AFC回路が出力する受信信号を、前記伝送路遅延推定回路及び前記タップ選択回路の処理時間だけ遅延した信号を前記伝送路推定回路に与える遅延



回路と、パケット先頭の前記プリアンプル信号の終了後、前記伝送路推定回路が出力する受信信号を残留周波数誤差信号で補正する残留周波数補正回路と、前記残留周波数補正回路が補正した前記受信信号をシリアルパラレル変換した後で高速フーリエ変換する高速フーリエ変換回路と、前記高速フーリエ変換回路の出力に接続され、パケット先頭で推定された前記インパルスレスポンスを高速フーリエ変換して得られる直交周波数多重信号のサブキャリア毎の初期位相信号を記憶する初期位相メモリ回路と、前記高速フーリエ変換回路が出力する受信信号を、前記初期位相メモリ回路に保持された初期位相信号を用いて受信信号のサブキャリア毎に検波する位相検波回路と、前記位相検波回路の出力する信号に基づいて残留周波数誤差を検出し、その検出結果を前記残留周波数誤差信号として前記残留周波数補正回路に与える残留周波数誤差検出回路とを設けたことを特徴とする。

【0026】請求項3のOFDM用復調回路は、図10に示すようにパケット先頭で同一の既知のプリアンプル信号(PRE)が繰り返し現れるOFDM信号を受信することを想定している。このOFDM用復調回路は、プリアンプルを利用して初期周波数誤差検出及び初期位相検出を行う。そして、データ信号(DATA)を利用して残留周波数誤差をトラッキングし残留周波数誤差を補正する。従って、同期検波を行うことができ、良好な復調特性が得られる。

【0027】また、残留周波数誤差のトラッキングにはデータ信号を利用するので、パケット先頭に設けるプリアンプルPREは2OFDMシンボルの区間だけで十分である。つまり、同期のためにパケットに付加するビット数が少ないので、遅延検波を行う場合と同程度の伝送効率になる。請求項4は、所定の繰り返し時間の周期で同一の既知のプリアンプル信号が繰り返し現れる直交周波数多重信号を受信信号として入力し前記直交周波数多重信号の周波数誤差と初期位相を検出するOFDM用復調回路において、前記直交周波数多重信号のパケット先頭に現れる前記プリアンプル信号から初期周波数誤差を検出し、検出した初期周波数誤差で受信信号を補正する初期推定AFC回路と、前記初期推定AFC回路で補正された受信信号を入力し、パケット先頭の前記プリアンプル信号に基づき、選択されたタップ数の伝送路のインパルスレスポンスを推定する伝送路推定回路と、前記初期推定AFC回路の出力に接続され、前記プリアンプル信号から受信信号の伝送路における遅延プロファイルを推定する伝送路遅延推定回路と、前記伝送路遅延推定回路に接続され、該伝送路遅延推定回路で推定された遅延プロファイルに基づいて、前記伝送路推定回路の伝送路推定に使用されるタップ数を決定するタップ選択回路と、前記初期推定AFC回路が出力する受信信号を、前記伝送路遅延推定回路及び前記タップ選択回路の処理時間だけ遅延した信号を前記伝送路推定回路に与える遅延

回路と、前記伝送路推定回路が出力する受信信号をシリアルパラレル変換した後で高速フーリエ変換する高速フーリエ変換回路と、パケット先頭の前記プリアンプル信号の終了後、前記高速フーリエ変換回路が出力する受信信号をサブキャリア毎に残留周波数誤差信号で補正する残留周波数補正回路と、前記残留周波数補正回路の出力に接続され、パケット先頭で推定された前記インパルスレスポンスを高速フーリエ変換して得られる直交周波数多重信号のサブキャリア毎の初期位相信号を記憶する初期位相メモリ回路と、前記残留周波数補正回路が出力する受信信号を、前記初期位相メモリ回路に保持された初期位相信号を用いて受信信号のサブキャリア毎に検波する位相検波回路と、前記位相検波回路の出力する信号に基づいて残留周波数誤差を検出し、その検出結果を前記残留周波数誤差信号として前記残留周波数補正回路に与える残留周波数誤差検出回路とを設けたことを特徴とする。

【0028】請求項4のOFDM用復調回路は、図10に示すようにパケット先頭で同一の既知のプリアンプル信号(PRE)が繰り返し現れるOFDM信号を受信することを想定している。このOFDM用復調回路は、プリアンプルを利用して初期周波数誤差検出及び初期位相検出を行う。そして、データ信号(DATA)を利用して残留周波数誤差をトラッキングし残留周波数誤差を補正する。従って、同期検波を行うことができ、良好な復調特性が得られる。

【0029】また、残留周波数誤差のトラッキングにはデータ信号を利用するので、パケット先頭に設けるプリアンプルPREは2OFDMシンボルの区間だけで十分である。つまり、同期のためにパケットに付加するビット数が少ないので、遅延検波を行う場合と同程度の伝送効率になる。請求項5は、請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、前記初期推定AFC回路を、受信信号を1OFDMシンボルの期間だけ遅延させる遅延回路と、受信信号と前記遅延回路が遅延した受信信号との共役複素乗算により位相回転角を検出する位相回転角検出回路と、前記位相回転角検出回路が出力する前記位相回転角の所定時間にわたる平均値を計算する平均回路と、前記平均回路によって平均化された位相回転角から初期周波数誤差を計算する初期周波数誤差検出回路と、前記初期周波数誤差検出回路が出力する初期周波数誤差を積算し、初期周波数誤差信号として出力する積算回路と、前記初期周波数誤差信号が出力されるまで、前記受信信号を遅延させる受信信号遅延回路と、前記受信信号遅延回路が出力する受信信号を前記積算回路が出力する初期周波数誤差信号で補正する初期周波数補正回路とで構成したことを特徴とする。

【0030】遅延回路は、受信信号を1OFDMシンボルの期間だけ遅延する。位相回転角検出回路の入力に



は、受信信号と前記遅延回路が遅延した受信信号とが印加される。従って、位相回転角検出回路は互いに1 OFDMシンボルの期間だけ時間のずれた2つの信号を同時に参照できる。1つのプリアンプルの長さが1 OFDMシンボル長と同じと仮定すれば、周波数誤差がない場合には2つの信号は一致する。周波数誤差がある場合には、2つの入力信号の間に周波数誤差に応じた違いが生じる。

【0031】OFDM信号は複素数信号なので、位相回転角検出回路は、2つの入力信号の共役複素乗算により位相回転角を検出する。平均回路は、前記位相回転角検出回路が出力する位相回転角の所定時間にわたる平均値を計算する。初期周波数誤差検出回路は、前記平均回路によって平均化された位相回転角から初期周波数誤差を計算する。積算回路は、前記初期周波数誤差検出回路が出力する初期周波数誤差を積算して初期周波数誤差信号として出力する。

【0032】受信信号遅延回路は、前記初期周波数誤差信号が出力されるまで前記受信信号を遅延する。初期周波数補正回路は、前記受信信号遅延回路が出力する受信信号を前記積算回路が出力する初期周波数誤差信号で補正する。請求項6は、請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、前記伝送路推定回路のインパルスレスポンス推定にRLSアルゴリズムを用いるとともに、既知のプリアンプルに対するカルマンゲインベクトルをあらかじめ計算した結果を保持するROMを設け、更にRLSアルゴリズムで求めるインパルスレスポンスのタップ数を遅延波の最大遅延時間に定め、遅延波の最大遅延時間以降のインパルスレスポンスを0に定めたことを特徴とする。

【0033】RLSアルゴリズムを用いることにより、短い所要時間でインパルスレスポンスを推定できる。RLSアルゴリズムで用いるカルマンゲインベクトルはプリアンプルに応じて定まる。本発明ではプリアンプルとして既知のデータを用いるので、それに対応するカルマンゲインベクトルをあらかじめ計算してROM(読み出し専用メモリ)に保持しておくことができる。あらかじめ計算した結果を利用することにより、RLSアルゴリズムの演算量が減少し、アルゴリズムの実行に要する時間が短縮される。

【0034】また、RLSアルゴリズムで求めるインパルスレスポンスのタップ数を遅延波の最大遅延時間に定め、遅延波の最大遅延時間以降のインパルスレスポンスを0に定めることにより、伝送路推定の特性が向上し演算量も削減される。請求項7は、請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、前記残留周波数誤差検出回路を、入力信号をサブキャリア毎に遅延させる遅延回路と、前記入力信号と前記遅延回路により遅延された入力信号との共役複素乗算により差分ベクトルを検出する差分ベクトル検出回

路と、前記差分ベクトル検出回路の出力する信号から変調成分を除去する変調成分除去回路と、サブキャリア毎に前記変調成分除去回路の出力信号をベクトル加算して前記出力信号に含まれるノイズ成分を除去するベクトル加算回路と、前記ベクトル加算回路の出力信号を位相情報に変換した後、前記位相情報に基づいて1クロックあたりの残留周波数誤差を計算する逆正接回路と、前記逆正接回路が出力する残留周波数誤差を積算して残留周波数誤差信号を出力する積算回路とで構成したことを特徴とする。

【0035】遅延回路は、入力信号をサブキャリア毎に遅延する。差分ベクトル検出回路は、前記入力信号と前記遅延回路により遅延された入力信号との共役複素乗算により差分ベクトルを検出する。変調成分除去回路は、前記差分ベクトル検出回路の出力する信号から変調成分を除去する。ベクトル加算回路は、サブキャリア毎に前記変調成分除去回路の出力信号をベクトル加算して前記出力信号に含まれるノイズ成分を除去する。逆正接(アークタンジェント)回路は、前記ベクトル加算回路の出力信号を位相情報に変換した後、前記位相情報に基づいて1クロックあたりの残留周波数誤差を計算する。積算回路は、前記逆正接回路が出力する残留周波数誤差を積算して残留周波数誤差信号を出力する。

【0036】請求項8は、請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、前記残留周波数誤差検出回路を、入力信号をサブキャリア毎に遅延させる遅延回路と、前記入力信号と前記遅延回路が遅延した信号との共役複素乗算により差分ベクトルを検出する差分ベクトル検出回路と、前記差分ベクトル検出回路の出力する差分ベクトルから変調成分を除去する変調成分除去回路と、サブキャリア毎に前記変調成分除去回路の出力信号を位相情報に変換し、位相誤差信号を出力する逆正接回路と、前記逆正接回路及び前記初期位相メモリ回路に接続され、前記初期位相メモリ回路から出力される各サブキャリアの初期位相の電力を計算し、前記電力が閾値より大きいサブキャリアに対する位相誤差信号のみを平均した後、1クロックあたりの残留周波数誤差を計算する選択・平均回路と、前記選択・平均回路が出力する残留周波数誤差を積算して残留周波数誤差信号を出力する積算回路とで構成したことを特徴とする。

【0037】遅延回路は、入力信号をサブキャリア毎に遅延する。差分ベクトル検出回路は、前記入力信号と前記遅延回路が遅延した信号との共役複素乗算により差分ベクトルを検出する。変調成分除去回路は、前記差分ベクトル検出回路の出力する差分ベクトルから変調成分を除去する。逆正接回路は、サブキャリア毎に前記変調成分除去回路の出力信号を位相情報に変換し、位相誤差信号を出力する。

【0038】選択・平均回路は、前記逆正接回路及び前

記初期位相メモリ回路が出力する信号を処理して、前記初期位相メモリ回路から出力される各サブキャリアの初期位相の電力を計算し、前記電力が閾値より大きいサブキャリアに対する位相誤差信号のみを平均した後、1クロックあたりの残留周波数誤差を計算する。積算回路は、前記選択・平均回路が出力する残留周波数誤差を積算して残留周波数誤差信号を出力する。

【0039】請求項9は、請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、残留周波数誤差検出回路を、入力信号から変調成分を除去する変調成分除去回路と、前記変調成分除去回路に接続され、サブキャリア毎に前記変調成分除去回路の出力信号をベクトル加算し、前記出力信号のノイズ成分を除去するベクトル加算回路と、前記ベクトル加算回路に接続され、前記ベクトル加算回路の出力信号を位相情報に変換した後、1クロックあたりの残留周波数誤差を計算する逆正接回路とで構成したことを特徴とする。

【0040】変調成分除去回路は入力信号から変調成分を除去する。ベクトル加算回路は、サブキャリア毎に前記変調成分除去回路の出力信号をベクトル加算し、前記出力信号のノイズ成分を除去する。逆正接回路は、前記ベクトル加算回路の出力信号を位相情報に変換した後、1クロックあたりの残留周波数誤差を計算する。請求項10は、請求項1、請求項2、請求項3又は請求項4のいずれかのOFDM用復調回路において、残留周波数誤差検出回路を、入力信号から変調成分を除去する変調成分除去回路と、前記変調成分除去回路に接続され、サブキャリア毎に前記変調成分除去回路の出力信号を位相情報に変換し、位相誤差信号を出力する逆正接回路と、前記逆正接回路及び前記初期位相メモリ回路に接続され、前記初期位相メモリ回路から出力される各サブキャリアの初期位相の電力を計算し、前記電力が閾値より大きいサブキャリアに対する位相誤差信号のみを平均した後、1クロックあたりの残留周波数誤差を計算する選択・平均回路とで構成したことを特徴とする。

【0041】変調成分除去回路は、入力信号から変調成分を除去する。逆正接回路は、サブキャリア毎に前記変調成分除去回路の出力信号を位相情報に変換し、位相誤差信号を出力する。選択・平均回路は、前記逆正接回路及び前記初期位相メモリ回路が出力する信号を処理して、前記初期位相メモリ回路から出力される各サブキャリアの初期位相の電力を計算し、前記電力が閾値より大きいサブキャリアに対する位相誤差信号のみを平均した後、1クロックあたりの残留周波数誤差を計算する。

【0042】

【発明の実施の形態】（第1の実施の形態）この形態のOFDM用復調回路について、図1、図5、図6及び図10を参照して説明する。この形態は、請求項1、請求項5、請求項6及び請求項7に対応する。

【0043】図1はこの形態のOFDM用復調回路を示

すブロック図である。図5は初期推定AFC回路の構成例を示すブロック図である。図6は残留周波数誤差検出回路の構成例を示すブロック図である。図10はこの形態で用いるバーストフォーマットを示す模式図である。この形態では、請求項1の初期推定AFC回路、伝送路推定回路、残留周波数補正回路、高速フーリエ変換回路、初期位相メモリ回路、位相検波回路及び残留周波数誤差検出回路は、それぞれ初期推定AFC回路10、伝送路推定回路20、残留周波数補正回路30、FFT回路40、初期位相メモリ回路50、位相検波回路60、残留周波数誤差検出回路70に対応する。

【0044】また、請求項5の遅延回路、位相回転角検出回路、平均回路、初期周波数誤差検出回路、積算回路、受信信号遅延回路及び初期周波数補正回路は、それぞれ遅延回路101、位相回転角検出回路102、平均回路103、初期周波数誤差検出回路104、積算回路105、受信信号遅延回路100及び初期周波数補正回路106に対応する。

【0045】請求項7の遅延回路、差分ベクトル検出回路、変調成分除去回路、ベクトル加算回路、逆正接回路及び積算回路は、それぞれ遅延回路111、差分ベクトル検出回路110、変調成分除去回路112、ベクトル加算回路120、逆正接回路130及び積算回路140に対応する。

【0046】図1に示すOFDM用復調回路は、受信されたOFDM信号のバーストフォーマットが図10に示す形式であることを想定している。図10を参照すると、このOFDM信号にはパケットの先頭で同一の既知のプリアンプルPREが2OFDMシンボルに渡って繰り返し現れる。また、最初のプリアンプルPREについては、その前にガードインターバルGIが付加されている。これらのプリアンプルPREに続いて、ガードインターバルGIとデータDATAとで構成されるOFDMシンボルが繰り返し現れる。

【0047】図1に示すOFDM用復調回路は、初期推定AFC回路10、伝送路推定回路20、残留周波数補正回路30、FFT回路40、初期位相メモリ回路50、位相検波回路60及び残留周波数誤差検出回路70で構成されている。図1に示す太い実線は、OFDM信号として多重化された多数のサブキャリアの信号成分がサブキャリア数の並列信号として現れることを示している。

【0048】受信装置で受信されたOFDM信号は、図示しないA/D（アナログ/デジタル）変換回路によってデジタル信号に変換され、初期推定AFC回路10に入力される。このOFDM信号は複素数信号である。初期推定AFC回路10は、OFDM信号にプリアンプルPREが現れる区間で、同一のプリアンプルが繰り返し現れることを利用して初期周波数誤差を検出する。また、初期推定AFC回路10は検出した初期周波

数誤差によってプリアンブルPREを含むパケット全体を補正する。

【0049】初期推定AFC回路10によって初期周波数誤差が補正されたOFDM信号が伝送路推定回路20に入力される。伝送路推定回路20は、入力されるOFDM信号のプリアンブルが既知であることを利用して伝\*

$$e(n) = r(n) - W^H \cdot (n-1) \cdot u(n) \quad \dots (1)$$

$$W(n) = W(n-1) + k(n) \cdot e^*(n) \quad \dots (2)$$

$$P(n) = \lambda^{-1} P(n-1) - \lambda^{-1} k(n) \cdot u^H(n) \cdot P(n-1) \quad \dots (3)$$

$$k(n) = (\lambda^{-1} P(n-1) \cdot u(n)) / (1 + \lambda^{-1} u^H(n) \cdot P(n-1) \cdot u(n)) \quad \dots (4)$$

但し、 $e(n)$ ：事前推定誤差ベクトル

$r(n)$ ：受信信号

$u(n)$ ：送信信号ベクトル

$W(n)$ ：推定インパルスレスポンスベクトル

$k(n)$ ：カルマンゲインベクトル

$P(n)$ ：相関行列

この例では送信信号ベクトル $u(n)$ が既知であるため、カルマンゲインベクトル $k(n)$ の更新式である第(3)式及び第(4)式については、受信信号 $r(n)$ を入力する前にあらかじめ計算を行うことができる。そこで、この形態では第(3)式及び第(4)式の計算結果のデータを記憶したROMを伝送路推定回路20に内蔵してあり、このROMのデータを利用してインパルスレスポンスを推定する。

【0051】そのため、伝送路推定回路20の内部では第(3)式及び第(4)式の計算を実行する必要がなく、RLSアルゴリズムの実行に要する所要時間が短縮される。また、高速フーリエ変換(FFT)のポイント数が $N$ 、伝送路のインパルスレスポンスの最大遅延量が $M$ である場合に、 $(N > M)$ の条件が成立すると想定し、伝送路推定回路20はインパルスレスポンスを推定するタップ数を最大遅延量 $M$ に定め、 $(N - M)$ のタップについてはインパルスレスポンスを0に固定する。

【0052】インパルスレスポンスを求めるタップ数を最大遅延量 $M$ に限定することにより、伝送路推定回路20の回路規模を削減することが可能である。しかも、ノイズの影響が小さくなるので特性を向上させることが可能である。

【0053】伝送路推定回路20で推定されたインパルスレスポンスは、残留周波数補正回路30を通り、FFT回路40に入力される。但し、残留周波数補正回路30ではインパルスレスポンスに対して何もせず、入力されるインパルスレスポンスをそのままFFT回路40に出力する。FFT回路40の高速フーリエ変換によって、FFT回路40の出力にはサブキャリア毎に分離された周波数領域の並列信号が得られる。

【0054】最初にFFT回路40が出力する信号は、各サブキャリアの初期位相信号として初期位相メモリ回路50に入力され、1パケット区間に渡る初期位相信号が初期位相メモリ回路50に記憶される。プリアンブル

\* 送路のインパルスレスポンスを推定する。この形態では、伝送路推定回路20におけるインパルスレスポンスの推定にRLSアルゴリズムを使用している。RLSアルゴリズムは、次の第(1)式～第(4)式で表される。

【0050】

$$\dots (1)$$

$$\dots (2)$$

$$\dots (3)$$

$$\dots (4)$$

PREの終了後、初期推定AFC回路10で初期周波数誤差が補正された受信信号は、残留周波数誤差を補正するために残留周波数補正回路30に入力される。残留周波数補正回路30は、残留周波数誤差検出回路70から出力される周波数信号を用いて残留周波数を補正する。

【0055】残留周波数補正回路30で残留周波数誤差が補正された信号は、FFT回路40に入力され高速フーリエ変換される。FFT回路40の出力にはサブキャリア毎に分離された周波数領域の並列信号が得られる。

FFT回路40が出力する周波数領域の並列信号は、位相検波回路60に入力され、初期位相メモリ回路50から出力されるサブキャリア毎の初期位相信号によって検波される。位相検波回路60が出力する検波出力信号は、図示しないデインターリーブ回路及びビタビ復号回路に印加されると共に、残留周波数誤差を検出するために、残留周波数誤差検出回路70に入力される。

【0056】残留周波数誤差検出回路70は、位相検波回路60が出力する検波出力信号に基づいて残留周波数誤差を検出し、検出した残留周波数誤差の信号を残留周波数補正回路30に印加する。残留周波数誤差検出回路70は、残留周波数誤差検出にパイロット信号を必要とせず、OFDM信号のデータDATAを利用して残留周波数誤差をトラッキングする。

【0057】上記のように、図1に示すOFDM用復調回路は、初期周波数誤差検出及び初期位相検出にはプリアンブルPREを利用し、残留周波数誤差のトラッキングにはデータDATAを利用するため、OFDM信号のバーストフォーマットに配置するプリアンブルPREは2OFDMシンボルで十分である。図1に示すOFDM用復調回路を用いる場合には、伝送するプリアンブルPREの数を増やしたりデータDATAに特別な冗長ビットを付加する必要がないので、伝送効率が劣化することではなく、遅延検波を行うOFDM用復調回路の場合と同程度の伝送効率を得られる。しかも、同期検波を行うので高品質の復調出力が得られる。

【0058】図1のOFDM用復調回路に用いる初期推定AFC回路10は、例えば図5のように構成される。図5を参照すると、この初期推定AFC回路10は受信信号遅延回路100、遅延回路101、位相回転角検出回路102、平均回路103、初期周波数誤差検出回路

104、積算回路105及び初期周波数補正回路106で構成されている。

【0059】遅延回路101は、入力信号を1OFDMシンボルだけ遅延した信号を出力する。位相回転角検出回路102は、入力信号と遅延回路101が出力する遅延された信号との複素共役乗算を行う。OFDM信号に同一のプリアンプルPREが2OFDMシンボルに渡って繰り返し現れるタイミングでは、位相回転角検出回路102の複素共役乗算の結果は受信信号の初期周波数誤差に応じた位相回転角を表す。

【0060】平均回路103は、雑音成分の影響を除去するために位相回転角検出回路102が出力する位相回転角の信号を一定の期間に渡って平均化する。初期周波数誤差検出回路104は、平均回路103によって平均化された位相回転角を1OFDMシンボルの周期で除算する。

【0061】ここで、1OFDMシンボルの周期は、制御に用いるクロックパルスの1パルス周期を単位とする数値で表す。従って、初期周波数誤差検出回路104はクロックパルスの1パルスあたりの位相回転角を出力する。積算回路105は、初期周波数誤差検出回路104が出力する位相回転角を積算して、その結果を初期周波数誤差信号として生成する。

【0062】一方、入力信号が初期推定AFC回路10に印加されてから積算回路105から初期周波数誤差信号が出力されるまでの遅延時間T0を補償するために、\*

$$d(n) = d(n) - t \cdot \tan^{-1}(2 \cdot i \cdot \pi / N)$$

但し、 $((2 \cdot i - 1) \pi / N) \leq t \cdot \tan^{-1}(d(n)) < ((2 \cdot i + 1) \pi / N)$

N：変調多値数

i：1～(N-1)の整数

ベクトル加算回路120は、各々の変調成分除去回路112でサブキャリア毎に求められた差分ベクトルd(n)をベクトル加算する。このベクトル加算によって雑音の影響が除去される。

【0066】逆正接（アークタンジェント）回路130は、ベクトル加算回路120が出力する信号の逆正接を演算して位相信号を生成する。また、クロックパルスの1パルス周期あたりの残留周波数誤差を求めるために、前記位相信号を1OFDMシンボルの周期で除算する。積算回路140は、逆正接回路130から出力される残留周波数誤差を積算した結果を出力信号（残留周波数誤差信号）として出力する。この残留周波数誤差信号が、図1に示す残留周波数補正回路30に印加される。

【0067】（第2の実施の形態）この形態のOFDM用復調回路について、図2及び図7を参照して説明する。この形態は、請求項2、請求項5、請求項6及び請求項8に対応する。この形態は第1の実施の形態の変形例である。図2はこの形態のOFDM用復調回路を示すブロック図である。図7は残留周波数誤差検出回路の構

\*受信信号遅延回路100は入力信号を遅延し、前記遅延時間T0だけ遅延した信号を出力する。初期周波数補正回路106は、受信信号遅延回路100が出力する遅延された信号を積算回路105が出力する初期周波数誤差信号で補正する。

【0063】この形態では、図1に示すOFDM用復調回路の残留周波数誤差検出回路70を図6のように構成してある。図6を参照すると、この残留周波数誤差検出回路70は差分ベクトル検出回路110、遅延回路111、変調成分除去回路112、ベクトル加算回路120、逆正接回路130及び積算回路140で構成されている。

【0064】差分ベクトル検出回路110、遅延回路111及び変調成分除去回路112は、OFDM信号に含まれるサブキャリアの数だけ並列的に設けてある。位相検波回路60から印加される入力信号（検波出力信号）は、サブキャリア毎にそれぞれ遅延回路111に入力される。遅延回路111は、入力信号を1OFDMシンボルだけ遅延した信号を出力する。差分ベクトル検出回路110は、入力信号と遅延回路111によって遅延された信号との複素共役乗算を行う。この複素共役乗算の結果は差分ベクトルd(n)である。変調成分を除去するために、変調成分除去回路112は差分ベクトル検出回路110が出力する差分ベクトルd(n)について、次の(5)式の演算を行う。

【0065】

$$\dots (5)$$

成例を示すブロック図である。図2に示す太い実線は、OFDM信号として多重化された多数のサブキャリアの信号成分がサブキャリア数の並列信号として現れることを示している。また、図2において第1の実施の形態と同一の要素には同一の符号を付けて示してある。同一の要素については説明を省略する。

【0068】この形態では、請求項2の初期推定AFC回路、伝送路推定回路、高速フーリエ変換回路、残留周波数補正回路、初期位相メモリ回路、位相検波回路、残留周波数誤差検出回路は、それぞれ初期推定AFC回路10、伝送路推定回路20、FFT回路40、残留周波数補正回路35、初期位相メモリ回路50、位相検波回路60及び残留周波数誤差検出回路72に対応する。

【0069】また、請求項8の遅延回路、差分ベクトル検出回路、変調成分除去回路、逆正接回路、選択・平均回路及び積算回路は、それぞれ遅延回路111、差分ベクトル検出回路110、変調成分除去回路112、逆正接回路135、選択・平均回路150及び積算回路140に対応する。第1の実施の形態と同様に、図2に示すOFDM用復調回路は、受信されたOFDM信号のバーストフォーマットが図10に示す形式であることを想定している。図2のOFDM用復調回路を図1のOFDM用復調回路と対比すると、残留周波数誤差の検出方法及

び補正方法が異なり、初期周波数誤差の検出方法及び初期位相検出方法は同一になっている。

【0070】図2のOFDM用復調回路においても、OFDM信号のプリアンブル区間で初期周波数誤差が補正され、検出された初期位相が初期位相メモリ回路50に記憶される。その後、受信されたOFDM信号はFFT回路40に入力されて高速フーリエ変換される。FFT回路40の出力にはサブキャリア毎に分離された周波数領域の並列信号が得られる。この並列信号は、残留周波数誤差を補正するためにサブキャリア毎に残留周波数補正回路35に印加される。残留周波数補正回路35は、残留周波数誤差検出回路72から印加される周波数信号を用いて各サブキャリアの残留周波数誤差を補正する。

【0071】残留周波数補正回路35によって残留周波数誤差が補正された信号は、位相検波回路60に入力され、初期位相メモリ回路50から出力される位相信号を用いてサブキャリア毎に検波される。位相検波回路60が出力する検波出力信号は、図示しないデインターリーブ回路及びビタビ復号回路に印加されると共に、残留周波数誤差を検出するために、残留周波数誤差検出回路72に21 入力される。

【0072】残留周波数誤差検出回路72は、位相検波回路60が出力する検波出力信号と初期位相メモリ回路50が出力する初期位相信号とを利用して、サブキャリア毎に残留周波数誤差を検出する。検出した残留周波数誤差を示す信号が残留周波数補正回路35に印加される。残留周波数誤差検出回路72は、残留周波数誤差の検出にパイロット信号を必要としない。

【0073】この形態では、図2の残留周波数誤差検出回路72は図7のように構成されている。なお、図7において図6と同一の構成要素には同一の符号を付けて示してある。図7を参照すると、この残留周波数誤差検出回路72は差分ベクトル検出回路110、遅延回路111、変調成分除去回路112、逆正接回路135、選択・平均回路150及び積算回路140で構成されている。

【0074】位相検波回路60から出力される検波出力信号が、サブキャリア毎に図7の残留周波数誤差検出回路72に入力信号として印加される。また、初期位相メモリ回路50が出力する初期位相の信号はサブキャリア毎に選択・平均回路150に印加される。図5の残留周波数誤差検出回路70と同様に、差分ベクトル検出回路110は入力信号と遅延回路111で遅延された信号とに基づいてサブキャリア毎に差分ベクトルを検出する。変調成分除去回路112は、差分ベクトル検出回路110が出力する差分ベクトルから変調成分を除去する。

【0075】逆正接回路135は、サブキャリア毎に、変調成分除去回路112から出力される差分ベクトルの逆正接を演算して位相誤差信号を生成する。選択・平均回路150は、雑音の影響を除去するために、逆正接回

路135が出力する位相誤差信号を平均化する。選択・平均回路150は平均化をするときに、多数のサブキャリアの位相誤差信号のうち選択した一部分の信号だけを用いる。具体的には、まず全サブキャリアについて初期位相メモリ回路が出力する各々の位相信号の電力を求める。そして、求めた電力が予め定めた閾値よりも大きいサブキャリアを選択する。選択した一部分のサブキャリアについて位相信号を平均化する。

【0076】また、選択・平均回路150は平均化した位相を1OFDMシンボルの周期で除算して、クロックパルスの1パルス周期あたりの残留周波数誤差を求める。積算回路140は、選択・平均回路150が出力する残留周波数誤差を積算し、その結果を出力信号(残留周波数誤差信号)として残留周波数補正回路35に印加する。

【0077】(第3の実施の形態)この形態のOFDM用復調回路について、図3及び図8を参照して説明する。この形態は、請求項3、請求項5、請求項6及び請求項9に対応する。この形態は第1の実施の形態の変形例である。図3はこの形態のOFDM用復調回路を示すブロック図である。図8は残留周波数誤差検出回路の構成例を示すブロック図である。図3に示す太い実線は、OFDM信号として多重化された多数のサブキャリアの信号成分がサブキャリア数の並列信号として現れることを示している。また、図3において第1の実施の形態と同一の要素には同一の符号を付けて示してある。同一の要素については説明を省略する。

【0078】この形態では、請求項3の初期推定AFC回路、伝送路推定回路、伝送路遅延推定回路、タップ選択回路、遅延回路、残留周波数補正回路、高速フーリエ変換回路、初期位相メモリ回路、位相検波回路及び残留周波数誤差検出回路は、それぞれ初期推定AFC回路10、伝送路推定回路20、伝送路遅延推定回路81、タップ選択回路82、遅延回路80、残留周波数補正回路30、FFT回路40、初期位相メモリ回路50、位相検波回路60、残留周波数誤差検出回路70に対応する。

【0079】また、請求項9の変調成分除去回路、ベクトル加算回路及び逆正接回路は、それぞれ変調成分除去回路112、ベクトル加算回路120及び逆正接回路130に対応する。第1の実施の形態と同様に、図3に示すOFDM用復調回路は、受信されたOFDM信号のバーストフォーマットが図10に示す形式であることを想定している。初期周波数誤差の検出方法及び初期位相検出方法については、図3のOFDM用復調回路は図1のOFDM用復調回路と同一である。しかし、図3のOFDM用復調回路には伝送路遅延推定回路81及びタップ選択回路82が追加されており、残留周波数誤差の検出方法が変更されている。

【0080】第1の実施の形態と同様に、図3のOFDM用復調回路に入力されるOFDM信号は、プリアンブ



ルPREの現れる区間で初期周波数誤差が検出されて補正される。プリアンブPREの区間が終了した後、入力されるOFDM信号は、伝送路遅延推定回路81及び遅延回路80に入力される。伝送路遅延推定回路81は、受信信号 $r(n)$ と送信信号 $u(n)$ との相関により入力信号のインパルスレスポンスを計算する。但し、この方法ではノイズの影響を完全に除去できないため、伝送路遅延推定回路81ではインパルスレスポンスを粗くしか求められない。

【0081】また、伝送路遅延推定回路81は、求めたインパルスレスポンスの電力をタップ毎に予め定めた閾値と比較して、インパルスレスポンスの最大遅延時間を検出する。タップ選択回路82は、伝送路遅延推定回路81が検出した最大遅延時間に基づいて、伝送路推定回路20が推定するインパルスレスポンスのタップ数を決定する。タップ選択回路82の決定したタップ数が伝送路推定回路20に印加される。

【0082】遅延回路80は、伝送路遅延推定回路81及びタップ選択回路82の処理に必要な時間だけ、伝送路推定回路20に入力されるOFDM信号を遅延する。従って、伝送路推定回路20はタップ選択回路82が決定したタップ数で伝送路のインパルスレスポンスを推定できる。

【0083】伝送路推定回路20における伝送路の推定や残留周波数補正回路30における残留周波数の補正については第1の実施の形態と同一である。この形態では、伝送路推定回路20のインパルスレスポンスの推定に用いるタップ数を伝送路遅延推定回路81及びタップ選択回路82によってダイナミックに制御できるので、図3のOFDM用復調回路は、互いに遅延時間の異なる複数種類の伝送路に適用できる。

【0084】この形態では、図3の残留周波数誤差検出回路74は図8のように構成されている。図8を参照すると、この残留周波数誤差検出回路74は変調成分除去回路112、ベクトル加算回路120及び逆正接回路130で構成されている。図8の残留周波数誤差検出回路74に印加される入力信号は、サブキャリア毎に変調成分除去回路112に印加され、変調成分が除去される。

【0085】図6に示した残留周波数誤差検出回路72では1OFDMシンボル間の位相差から変調成分を除去しているが、図8の残留周波数誤差検出回路74は変調成分除去回路112に入力された絶対的な位相から変調成分を除去する。従って、残留周波数誤差検出回路74には図6に示す積算回路140を設ける必要はない。従って、図8の残留周波数誤差検出回路74は回路構成が単純化されている。

【0086】(第4の実施の形態) この形態のOFDM用復調回路について、図4及び図9を参照して説明する。この形態は、請求項4、請求項5、請求項6及び請求項10に対応する。この形態は第2の実施の形態の変

形例である。図4はこの形態のOFDM用復調回路を示すブロック図である。図9は残留周波数誤差検出回路の構成例を示すブロック図である。図4に示す太い実線は、OFDM信号として多重化された多数のサブキャリアの信号成分がサブキャリア数の並列信号として現れることを示している。また、図4において第2の実施の形態と同一の要素には同一の符号を付けて示してある。同一の要素については説明を省略する。

【0087】この形態では、請求項4の初期推定AFC回路、伝送路推定回路、伝送路遅延推定回路、タップ選択回路、遅延回路、高速フーリエ変換回路、残留周波数補正回路、初期位相メモリ回路、位相検波回路及び残留周波数誤差検出回路は、それぞれ初期推定AFC回路10、伝送路推定回路20、伝送路遅延推定回路81、タップ選択回路82、遅延回路80、FFT回路40、残留周波数補正回路35、初期位相メモリ回路50、位相検波回路60及び残留周波数誤差検出回路76に対応する。

【0088】また、請求項10の変調成分除去回路、逆正接回路及び選択・平均回路は、それぞれ変調成分除去回路112、逆正接回路135及び選択・平均回路150に対応する。図4に示すOFDM用復調回路における初期周波数誤差の検出方法及び初期位相の検出方法については、第2の実施の形態と同一になっている。また、図4の伝送路遅延推定回路81及びタップ選択回路82については第3の実施の形態と同一である。但し、残留周波数誤差の検出方法についてはいずれの実施の形態とも異なっている。

【0089】この形態では、図4の残留周波数誤差検出回路76は図9のように構成されている。図9を参照すると、残留周波数誤差検出回路76は変調成分除去回路112、逆正接回路135及び選択・平均回路150で構成されている。図9の残留周波数誤差検出回路76に印加される入力信号は、変調成分除去回路112によってサブキャリア毎に変調成分が除去される。図7の残留周波数誤差検出回路72では1OFDMシンボル間の位相差から変調成分を除去しているが、図9の変調成分除去回路112は入力信号の絶対的な位相から変調成分を除去する。従って、図9の残留周波数誤差検出回路76は図7の積算回路140を必要としない。このため、図9の残留周波数誤差検出回路76は構成が単純化されている。

【0090】

【発明の効果】本発明によれば、トラッキングのためにパイロット信号や冗長ビットをOFDM信号に挿入する必要がなく、遅延検波と同程度のプリアンブルで同期検波を実現できるので、伝送効率を劣化することなく、復調特性を改善できる。さらに、プリアンブル区間に検出した初期周波数誤差の残留周波数誤差はデータ区間でトラッキングされるので、特性の劣化はほとんど生じな



い。

【図面の簡単な説明】

【図1】第1の実施の形態のOFDM用復調回路を示すブロック図である。

【図2】第2の実施の形態のOFDM用復調回路を示すブロック図である。

【図3】第3の実施の形態のOFDM用復調回路を示すブロック図である。

【図4】第4の実施の形態のOFDM用復調回路を示すブロック図である。

【図5】初期推定AFC回路の構成例を示すブロック図である。

【図6】残留周波数誤差検出回路の構成例を示すブロック図である。

【図7】残留周波数誤差検出回路の構成例を示すブロック図である。

【図8】残留周波数誤差検出回路の構成例を示すブロック図である。

【図9】残留周波数誤差検出回路の構成例を示すブロック図である。

【図10】実施の形態で用いるバーストフォーマットを示す模式図である。

【図11】従来例のOFDM用復調回路の構成(1)を示すブロック図である。

【図12】従来例のAFC回路の構成を示すブロック図である。

【図13】従来例のOFDM用復調回路の構成(2)を示すブロック図である。

【図14】従来例で用いるバーストフォーマット(1)を示す模式図である。

【図15】従来例で用いるバーストフォーマット(2)を示す模式図である。

【符号の説明】

10 初期推定AFC回路

20 伝送路推定回路

30, 35 残留周波数補正回路

40 FFT回路

50 初期位相メモリ回路

60 位相検波回路

70, 72, 76 残留周波数誤差検出回路

80 遅延回路

81 伝送路遅延推定回路

82 タップ選択回路

100 受信信号遅延回路

101 遅延回路

102 位相回転角検出回路

103 平均回路

104 初期周波数誤差検出回路

105 積算回路

106 初期周波数補正回路

110 差分ベクトル検出回路

111 遅延回路

112 変調成分除去回路

120 ベクトル加算回路

130, 135 逆正接回路

140 積算回路

150 選択・平均回路

200 AFC回路

201 FFT回路

202 遅延検波回路

210 遅延回路

211 位相回転角検出回路

212 平均回路

213 周波数誤差検出回路

214 積算回路

215 受信信号遅延回路

216 周波数補正回路

220 位相検波回路

221 P/S回路

223 デインターリーブ回路

224 軟判定ビタビ回路

225 畳み込み回路

226 インターリーブ回路

227 MOD回路

228 S/P回路

229 遅延回路

230 周波数領域伝送路推定回路

231 初期位相メモリ

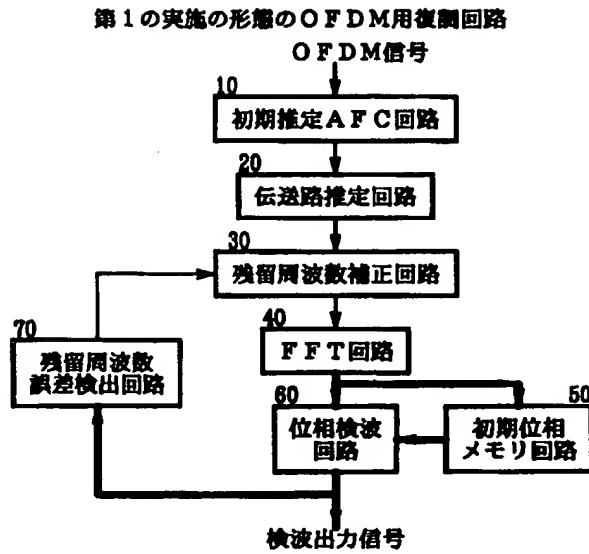
232 周波数領域フィルタ回路

【図11】

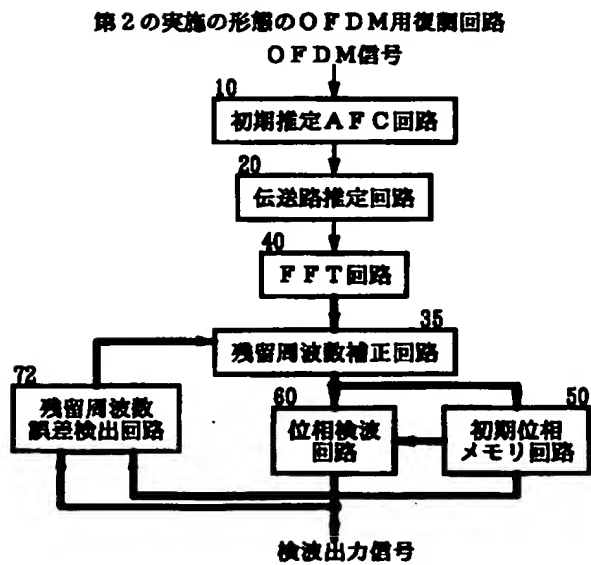
従来例のOFDM用復調回路の構成(1)



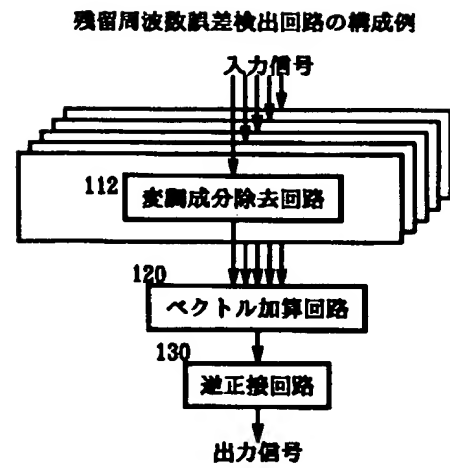
【図1】



【図2】

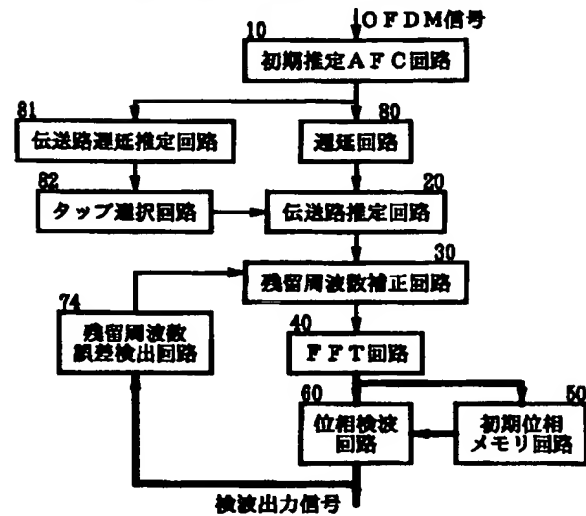


【図8】



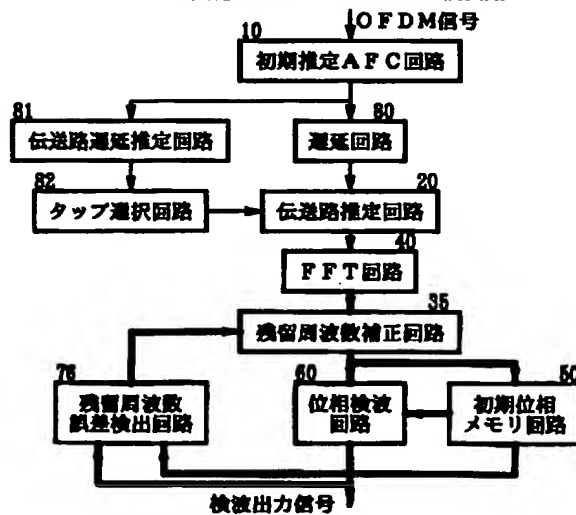
【図3】

第3の実施の形態のOFDM用復調回路

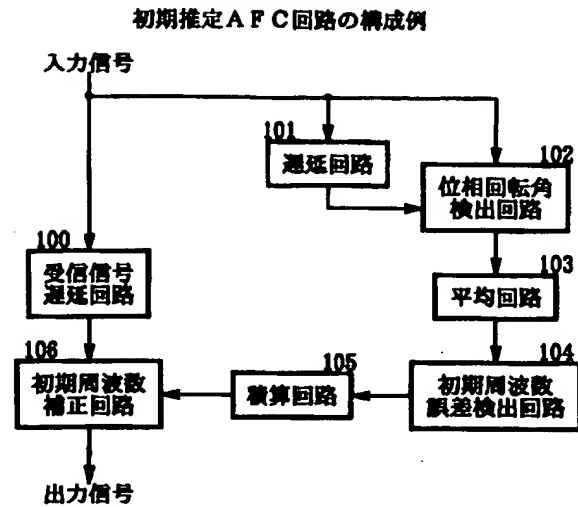


【図4】

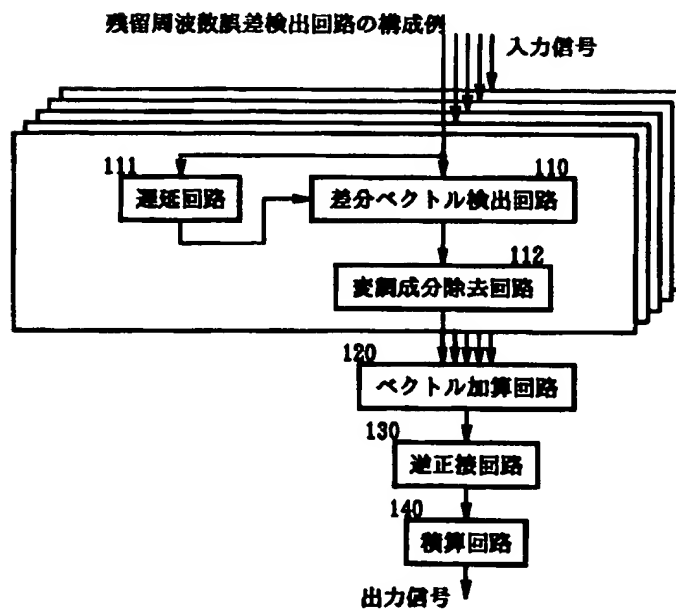
第4の実施の形態のOFDM用復調回路



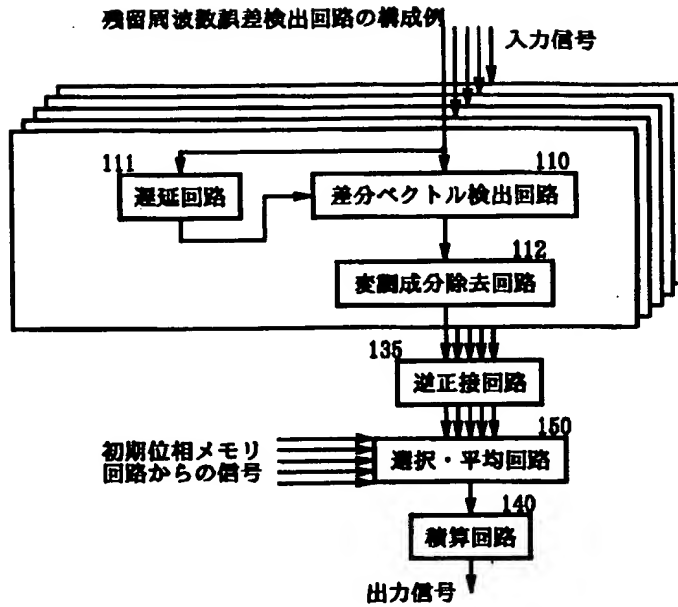
【図5】



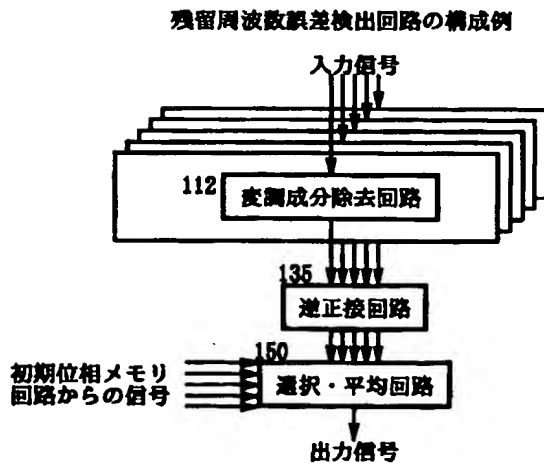
【図6】



【図7】



【図9】



【図14】

従来例で用いるバーストフォーマット (1)



GI : ガードインターバル

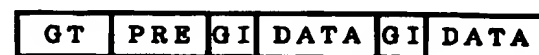
時間 →

PRE : プリアンプル

DATA : データ

【図15】

従来例で用いるバーストフォーマット (2)



GT : ガードタイム

時間 →

GI : ガードインターバル

PRE : プリアンプル

DATA : データ

【図10】

実施の形態で用いるバーストフォーマット



GI : ガードインターバル

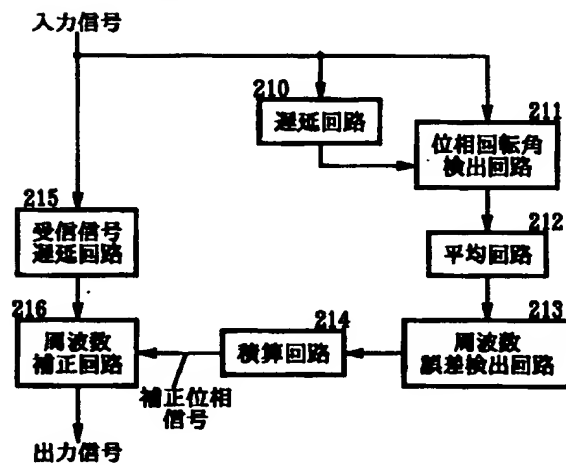
PRE : プリアンプル

DATA : データ

時間 →

【図12】

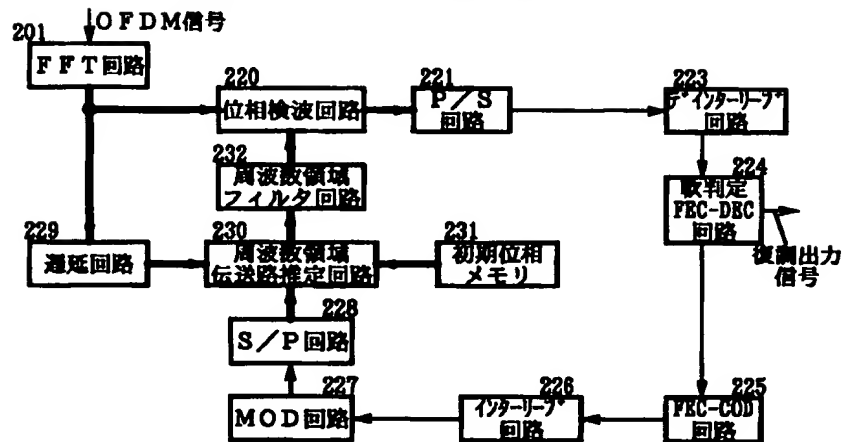
従来例のAFC回路の構成





【図13】

従来例のOFDM用復調回路の構成(2)



フロントページの続き

(72)発明者 望月 伸晃  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 梅比良 正弘  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内  
Fターム(参考) 5K022 DD01 DD33